

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

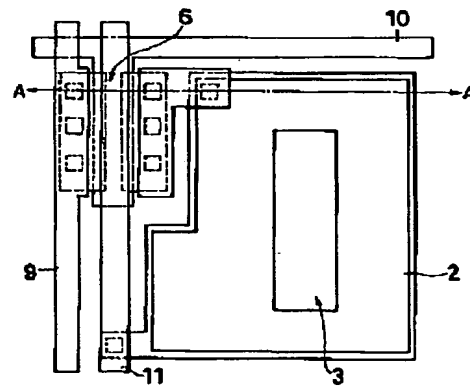
(11) Publication number: **07030084 A**(43) Date of publication of application: **31.01.95**(51) Int. Cl **H01L 27/146**(21) Application number: **05195566**(22) Date of filing: **14.07.93**(71) Applicant: **FUJI XEROX CO LTD**(72) Inventor: **ABE TSUTOMU
MIYAKE HIROYUKI****(54) TWO-DIMENSIONAL CONTACT IMAGE SENSOR****(57) Abstract:**

PURPOSE: To provide the title two-dimensional contact image sensor having excellent switching characteristics of a thin film transistor while cutting down power consumption capable of enhancing the sensitivity thereof without deteriorating the resolving power at all.

CONSTITUTION: The title two-dimensional contact image sensor share the wiring for the light-shielding layer in the channel region 2 of a thin film transistor 6 on a switching element and the bias wire 11 feeding constant voltage to a photodetecting element 2. Through these procedures, the wiring for the light-shielding layer can be used both for the bias wire 11 thereby enabling the photodetecting area to be widened so that the sensitivity may be enhanced without deteriorating the resolving power at all while wiring resistance may be lowered using aluminum for the bias wire 11, for cutting down the power consumption further lessening the unfavorable effect on a gate pulse by reducing the capacity at the

intersection of a gate wire 10 with the bias wire 11 thereby enabling the excellent switching characteristics to be displayed.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-30084

(43) 公開日 平成7年(1995)1月31日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/146		7210-4M	H 0 1 L 27/ 14	C

審査請求 未請求 請求項の数1 F D (全 9 頁)

(21) 出願番号 特願平5-195568

(22) 出願日 平成5年(1993)7月14日

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72) 発明者 安部 勉

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

(72) 発明者 三宅 弘之

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

(74) 代理人 弁理士 阪本 清孝 (外1名)

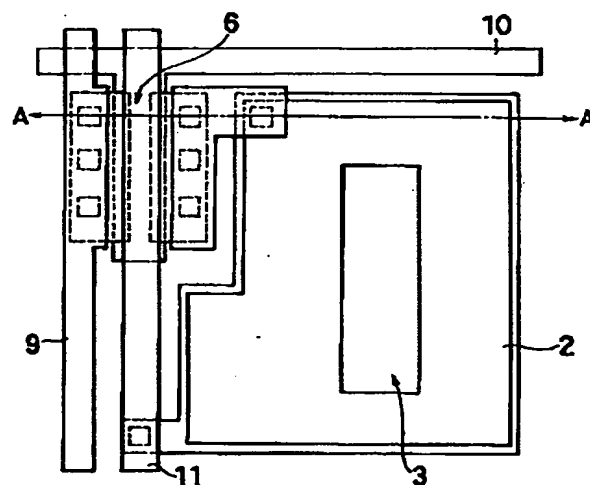
(54) 【発明の名称】 2次元密着型イメージセンサ

(57) 【要約】

【目的】 解像度を低下させることなく感度を向上させ、消費電力を小さくし、薄膜トランジスタのスイッチング特性が良好な2次元密着型イメージセンサを提供する。

【構成】 スイッチング素子としての薄膜トランジスタ6のチャネル領域20'を遮光する遮光層の配線と受光素子2に一定電圧を供給するバイアス線11とを共通にした2次元密着型イメージセンサである。

【効果】 遮光層の配線とバイアス線11とを兼用することで受光面積を広くできるので、解像度を損なうことなく感度を向上させ、バイアス線11をアルミニウムとすることで配線抵抗を小さくして消費電力を抑え、ゲート線10とバイアス線11との交差部の容量を小さくしてゲートパルスへの悪影響を小さくし、良好なスイッチング特性を得ることができる効果がある。



【特許請求の範囲】

【請求項1】 受光素子と、前記受光素子に接続するスイッチング素子としての薄膜トランジスタとを具備する画素が基板上に2次元のマトリクス状に配列された2次元密着型イメージセンサにおいて、前記薄膜トランジスタのチャネル領域を遮光する遮光層の配線と前記受光素子に一定電圧を供給するバイアス線とを共通にしたことを特徴とする2次元密着型イメージセンサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ファクシミリ、スキャナ、光学式文字読取装置等の画像入力装置に用いられる2次元密着型イメージセンサに係り、特に、感度を向上させ、消費電力を低減し、スイッチング特性が良好な2次元密着型イメージセンサに関する。

【0002】

【従来の技術】 従来の画像読取装置には、CCD（電荷結合素子）センサ或いはMOS型センサ等をライン状の1次元に形成したICセンサを用いて、ICセンサ上の原稿像を縮小結像させて読み取る縮小型イメージセンサや、原稿幅と同程度の長尺状にフォトダイオード等の受光素子を配列した1次元イメージセンサを用いて、センサ上に等倍正立像を結像させて読み取る等倍センサ等があった。

【0003】 しかし、縮小型イメージセンサは、原稿幅をICセンサのチップ長にまで縮小結像させるため、長い光路長が必要であり、また、レンズ周辺部の収差等の問題があった。また、等倍センサは、縮小センサと比較すると光路長は短くなるが、等倍正立像を結像させるために設けられるオプティカルファイバーレンズアレイが高価であり、更に、色収差等の問題があった。

【0004】 そこで、上記の問題を解決するものとして、現在、完全密着型の1次元イメージセンサが知られている。図7は、1次元完全密着型イメージセンサの模式断面説明図である。尚、以下では、1次元完全密着型イメージセンサを単に1次元密着型イメージセンサと呼ぶことにする。1次元密着型イメージセンサは、透明基板1上に光電変換部である受光素子2が複数個、原稿幅と同じ長さに長尺状に配列されて受光素子アレイが形成されており、各受光素子2の間には採光部3が形成され、全体が透明保護膜4で覆われた構成となってる。

【0005】 上記構成の1次元密着型イメージセンサでは、基板1の裏面から採光部3を通して入射した光は、透明保護膜4上にセットされた原稿5の面で反射され、原稿の明暗に応じた反射光が受光素子2に入射して光電流が発生し、この光電流を受光素子毎に読み取って画像信号を得るようになっていた。

【0006】 そして、1次元イメージセンサによる2次元画像の読み取り動作（走査）は、1次元センサの読み取り方向（主走査方向）に電気的に走査すると同時に、

主走査方向と直行する方向（副走査方向）に、原稿又は1次元センサのいずれかを、機械的手段によって相対的に移動させることによって行われている。一般的に、原稿を搬送するタイプはファクシミリ等に用いられ、センサユニットを移動させるタイプはスキャナ等に用いられている。

【0007】 しかし、原稿を搬送するタイプでは原稿がシート状のものに限定され、センサユニットを移動するタイプでは装置全体が大型になると共に、センサ部の形状が限定されるために密着型のイメージセンサを適用することに適しておらず、また、どちらも高性能の機械的走査手段と、照射光をセンサ上面の原稿面に導く光学系が必要であるためコストが高くなってしまうという問題があった。

【0008】 更に、1次元密着型イメージセンサでは、同一のセンサをライン毎に繰り返して用いるため、信号電荷の読み残しや光応答特性の低下等によって解像度が低下してしまう問題があり、また、蓄積時間が1ラインの走査速度に対応しているため、高速度で読み取る場合には信号電荷が小さくなり、S/N比が低下してしまうという問題があった。

【0009】 そこで、上記1次元密着型イメージセンサの問題を解決するものとして、例えば、図8に示すような2次元密着型イメージセンサが提案されている。図8は、2次元密着型イメージセンサの等価回路図である。2次元密着型イメージセンサは、図8に示すように、行方向と列方向の2次元に配列された画素7から成る受光エリア7'と、各行を選択的に走査するゲート線10及び各列を選択的に走査するデータ線9と、ゲート線10が接続するシフトレジスタ14と、データ線9が接続するアナログマルチプレクサ13とから構成されている。

【0010】 次に、2次元密着型イメージセンサの1画素の構成について図9及び図10を用いて説明する。図9は、2次元密着型イメージセンサの1画素の平面説明図であり、図10は、図9のB-B'部分の断面説明図である。各画素は、図9及び図10に示すように、基板1上に形成された光電変換部である受光素子2と、スイッチング素子である薄膜トランジスタ（TFT）6と、採光部3とから構成されており、そして、画素の周囲には、行方向にゲート電極18に接続するゲート線10、列方向にソース電極に接続するデータ線9と受光素子に接続するバイアス線11、更に列方向に薄膜トランジスタのゲート電極18の上部の半導体活性層（チャネル領域20'）を覆う遮光層12の配線が形成されている。ここで、バイアス線11は、受光素子2の下部の金属電極15にバイアス電圧を供給するものである。

【0011】 そして、上記構成の2次元密着型イメージセンサにおいては、基板1の裏側から採光部3を通して入射した光は、原稿面で反射されて受光素子2の受光部に達し、ここで原稿の明暗に応じた反射光によって光電

流が発生し、発生した光電流に対応した電荷が受光素子の寄生容量等に蓄積され、薄膜トランジスタ6のオン/オフにより蓄積された電荷を転送して電気信号として出力して画像信号を読み出されるようになっていた。

【0012】ここで、遮光層12は、アルミニウム（Al）から成り、薄膜トランジスタの半導体活性層20に光が入射して光電変換を起こすのを防ぐために、半導体活性層20の上部に、半導体活性層20を覆うように形成されるものである。尚、遮光層12は、一定電位、例えばグランド（GND）レベルに接続されているのが一般的である。

【0013】ところで、2次元密着型イメージセンサでは、実現しようとする解像度を設定すると、x（行）方向、y（列）方向の画素ピッチが決定され、画素面積が限定されることになるが、上記の構成要素を全て画素中に形成しなければならず、感度を高くするためには開口率（画素面積における受光面積の割合）を向上させる必要がある。そのためには、非受光面積を最小にする必要があり、照明用の採光部3は、光源を明るくすれば小さくすることが可能であるが、薄膜トランジスタ6や各配線部分は、デバイス特性（例えば、薄膜トランジスタのオン時の抵抗、各配線抵抗等）及びプロセスルールによって制限されるために縮小することは困難である。

【0014】一方、従来の2次元密着型イメージセンサとしては、図11及び図12に示すような構成のものもあった。図11は、別の従来の2次元密着型イメージセンサの平面説明図であり、図12は、図11のC-C'部分の断面説明図である。図11に示す2次元密着型イメージセンサは、受光素子2の金属電極15を画素毎に個別に形成するのではなく、列毎に共通の共通電極として形成しているものである。このように金属電極15を共通電極とした場合は、受光素子上部のバイアス線が不要になり、製造方法は容易であった。尚、上記図11及び図12に関連する技術文献として、特開平4-309059号公報がある。

【0015】

【発明が解決しようとする課題】しかしながら、上記従来の個別バイアス電極を用いた2次元密着型イメージセンサでは、1画素内で、薄膜トランジスタ、データ線、ゲート線、バイアス線及び採光部は非光電変換部分であって、この非光電変換部分を縮小するのが困難であるため、画素中で非光電変換部が占める面積がかなり大きくなり、従って光電変換部の面積が小さくなって、イメージセンサの感度が低下するという問題点があり、また、感度を向上させるために光電変換部の面積を大きくすると、1画素の面積が大きくなり、解像度が低下するという問題点があった。

【0016】また、図11及び図12に示した従来の共通電極を用いた2次元密着型イメージセンサでは、受光素子の共通電極はシート抵抗の大きいクロム（Cr）で

形成されているため、消費電力が大きくなり、更に、薄膜トランジスタのゲート線の上部に、薄い絶縁層を介してクロム（Cr）から成る受光素子の共通電極がゲート線と直交するように形成されているため、各画素においてゲート線と共通電極の交差部に容量が生じ、ゲートパルスの発信部から離れる程に、容量の影響が大きくなってゲートパルスの波形が崩れ、薄膜トランジスタのスイッチング特性が低下するという問題点があった。

【0017】本発明は上記実情に鑑みて為されたもので、解像度を低下させることなく感度を向上させ、消費電力が小さく、薄膜トランジスタのスイッチング特性が良好な2次元密着型イメージセンサを提供することを目的とする。

【0018】

【課題を解決するための手段】上記従来例の問題点を解決するための本発明は、受光素子と、前記受光素子に接続するスイッチング素子としての薄膜トランジスタとを具備する画素が基板上に2次元のマトリクス状に配列された2次元密着型イメージセンサにおいて、前記薄膜トランジスタのチャネル領域を遮光する遮光層の配線と前記受光素子に一定電圧を供給するバイアス線とを共通にしたことを特徴としている。

【0019】

【作用】本発明によれば、薄膜トランジスタのチャネル領域を遮光する遮光層の配線と受光素子のバイアス線とを共通にした2次元密着型イメージセンサとしているので、バイアス線を薄膜トランジスタの上部に形成する構造となり、画素面積を拡大すること無く光電変換部の面積を大きくして、解像度を低下させずに感度を向上させることができ、また、バイアス線と薄膜トランジスタのゲート線との垂直方向の距離を大きくできるため、バイアス線とゲート線との交差部において形成される容量が小さくなり、ゲートパルスへの影響を小さくして薄膜トランジスタのスイッチング特性を向上させることができ、更に、バイアス線をシート抵抗の低いアルミニウムで形成すれば、消費電力を低減することができる。

【0020】

【実施例】本発明の一実施例について図面を参照しながら説明する。本発明の一実施例に係る2次元密着型イメージセンサの基本的な構成は、図8に示した従来の2次元密着型イメージセンサの構成と同様である。すなわち、本実施例のイメージセンサは、行方向と列方向の2次元マトリクス状に配列された画素7から成る受光エリア7'と、各行を選択的に走査するゲート線10及び各列を選択的に走査するデータ線9から構成され、更に、ゲート線10はシフトレジスタ14に接続され、データ線9はアナログマルチプレクサ13に接続されている。

【0021】次に、各画素の構成について説明する。図1は、本発明の一実施例に係る2次元密着型イメージセンサの1画素の平面説明図であり、図2は、図1のA-

A' 部分の断面説明図である。各画素は、図1及び図2に示すように、ガラス等の透明な基板1上に形成された受光素子2と、スイッチング素子としての薄膜トランジスタ(TFT)6と、採光部3とから構成され、薄膜トランジスタ6のゲート電極は行毎にゲート線10に接続され、ソース電極は列毎にデータ線9にそれぞれ接続され、受光素子2は薄膜トランジスタ6のドレイン電極に接続され、更に、本実施例の特徴部分として受光素子2の金属電極15は列毎に薄膜トランジスタ6の遮光層と兼用のバイアス線11に接続されている。

【0022】ここで、受光素子2と薄膜トランジスタ6の具体的な構成について図2を用いて説明する。受光素子2は、各受光素子毎に分割形成され、基板1上にクロム(Cr)から成る下部電極としての金属電極15と、水素化アモルファスシリコン(a-Si:H)から成る光導電層16と、同様に分割形成された酸化インジウム・スズ(ITO)から成る透明電極17とが順次積層するサンドイッチ型を構成している。つまり、金属電極15、光導電層16及び透明電極17とが画素毎に分割形成されているものである。

【0023】薄膜トランジスタ(TFT)6は、基板1上にクロム(Cr)から成るゲート電極18、窒化シリコン(SiNx)から成るゲート絶縁層19、a-Si:Hから成る半導体活性層20、ゲート電極18に対向するように設けられたSiNxから成るトップ絶縁層21、半導体活性層20及びトップ絶縁層21の一部を覆うように形成されたn+水素化アモルファスシリコン(n+ a-Si:H)から成るオーミックコンタクト層22、Crから成るソース電極23及びドレイン電極24、その上にポリイミドから成る層間絶縁層25、更にその上にアルミニウム(Al)から成る配線層26、特に、トップ絶縁層21の上部においては遮光層を兼ねるバイアス線11とが順次積層された逆スタガ型の薄膜トランジスタとなっている。

【0024】本実施例の特徴部分であるバイアス線11は、薄膜トランジスタ6のトップ絶縁層21の上部に列方向に形成され、半導体活性層20内で、ゲート電極18上部のチャネル領域20'に光が入り込んで光電変換作用を引き起こすのを防ぐための遮光層としても機能するようになっている。これにより、従来は別個に形成されていた遮光層の配線とバイアス線とを共通にして、画素中の列方向の金属線を1本削減して、受光部分の面積を大きく取ることを可能とするものである。

【0025】例えば、配線材料としてアルミニウム(Al)を用い、最小線幅が10 μ m、最小線間スペースが10 μ mのプロセッスルで、画素の列方向のピッチ幅をY μ mとすると、1画素内において約20 μ m \times Y μ mのスペース分だけ受光素子の面積を拡大することができるものである。

【0026】また、バイアス線11をCrに比べてシー

ト抵抗の低いAlで形成することにより、イメージセンサにおけるバイアス電圧印加のための消費電力を低減することができるものである。更に、金属電極15を画素毎に分割形成した個別電極として、上部に形成されたバイアス線11から電圧を供給するようにしているため、バイアス線11と薄膜トランジスタ6のゲート電極8に接続するゲート線8との交差部では、ゲート線8とバイアス線11の間にSiNx、ポリイミド等の何層かの膜が形成されていることになり、交差部での容量を小さくすることができ、ゲート線8を伝播するゲートパルスへの影響を小さくすることができるものである。

【0027】次に、本実施例の2次元密着型イメージセンサの回路構成及び駆動方法について図3及び図4を使って説明する。図3は、2次元イメージセンサの等価回路図であり、図4は、1画素の等価回路図である。図3及び図4に示すように、受光エリアは、画素7がm行 \times n列のマトリクス状に配置されて形成され、各画素中の受光素子2は、フォトダイオードPi,j (i=1 \sim m, j=1 \sim n)と寄生容量により等価的に表される。また、各受光素子2は薄膜トランジスタTi,j (i=1 \sim m, j=1 \sim n)のドレイン電極に接続され、薄膜トランジスタTi,jのソース電極はデータ線9を介して負荷容量CLj (j=1 \sim n)に接続され、更に、データ線9はアナログマルチプレクサ13に接続されている。また、各受光素子にはバイアス線11を介して共通のバイアス電圧VBが印加されており、本実施例ではバイアス電圧VBを5Vとしている。

【0028】そして、各薄膜トランジスタTi,jのゲート電極には、行毎に共通のゲート線10を介してゲートパルス ϕ を発生させるシフトレジスタ14が接続されている。そして、ゲートパルス ϕ iによってイメージセンサのi行目の薄膜トランジスタが全て同時にオンとなり、寄生容量等に蓄積された電荷を負荷容量CLjに転送するようになっている。

【0029】そして、図4に示すように、光電流Ipによって各受光素子に発生した光電荷は一定時間受光素子の寄生容量CPD、付加容量CADD及び薄膜トランジスタのドレイン・ゲート間のオーバーラップ容量CGDに蓄積された後、薄膜トランジスタTi,jを電荷転送用のスイッチとして用いて、電圧VGのゲートパルス ϕ が印加された特定行の電荷がデータ線9を介して負荷容量CLjに転送蓄積され、アナログマルチプレクサ13によってデータ線9の電圧値VLを順次読み取って、画像信号を出力するようになっている。

【0030】ここで、遮光層の配線(遮光配線)を兼ねたバイアス線11に5Vを印加することによる薄膜トランジスタの動作への影響について図5を使って説明する。図5は、本実施例における薄膜トランジスタのID-VG特性図である。チャネル幅が180 \sim 200 μ m、チャネル長が10 \sim 15 μ m、オーバーラップ(ゲート電極とソース・ドレインとの重なり)が2 \sim 4 μ m

10

20

30

40

50

の薄膜トランジスタを用いて、ゲート電圧 $V_G = 5\text{ V}$ 、ドレイン電圧 V_D (ドレイン電極側に掛かる電圧) $= 5\text{ V}$ の場合について、バイアス線 11 となる遮光配線が接地されている時と、この遮光配線に 5 V が印加されている時とのドレイン・ソース電流 I_D (オン電流) を比較する。図 5 に示すように、遮光配線が接地されている場合にはオン電流は $1.0 \sim 1.5\text{ }\mu\text{A}$ であり (図 5

(a))、遮光配線に $V_B = 5\text{ V}$ を印加した場合にはオン電流は $1.2 \sim 1.8\text{ }\mu\text{A}$ である (図 5 (b)) から、 5 V 印加時のほうが 20% 程度大きくなっている。 10

【0031】同様に、 $V_G = -5\text{ V}$ 、 $V_D = 5\text{ V}$ の場合のドレイン・ソース電流 I_D (オフ電流) は、バイアス線 11 となる遮光配線が接地されている場合は $0.2 \sim 0.5\text{ pA}$ (図 5 (a))、遮光配線に 5 V 印加時は $0.4 \sim 0.6\text{ pA}$ (図 5 (b)) と、 5 V 印加時のほうが 20% 程度大きくなっている。

【0032】また、図 5 のグラフから、しきい値電圧 V_{th} を求めると、遮光配線接地時は $1.2 \sim 1.5\text{ V}$ 、遮光配線 5 V 印加時は $1.0 \sim 1.3\text{ V}$ と変化している。しかし、オン/オフ比は、遮光配線接地時と 5 V 印加時のいずれの場合も 6 桁となり、ほぼ同等で、十分なオン/オフ比が得られている。従って、遮光配線を兼ねたバイアス線 11 をチャネル上部に形成しても、スイッチング特性はほとんど変化せず、イメージセンサの駆動への影響はほとんど無いものである。

【0033】次に、本実施例の 2 次元密着型イメージセンサの製造方法について図 6 を使って説明する。図 6 (a) ~ (e) は、本実施例の 2 次元密着型イメージセンサの製造方法を示すプロセス断面説明図である。まず、ガラス等の基板 1 上に、クロム (Cr1) を DC ス 30
パタリング法により $750\text{ }\text{\AA}$ 程度の膜厚で着膜し、フォトリソグラフィ及びエッチングによりバターニングして薄膜トランジスタのゲート電極 18 を形成する (図 6 (a) 参照)。

【0034】そして、BHF 処理及びアルカリ洗浄後、プラズマ CVD 法によりゲート絶縁層 19 としての窒化シリコン (b-SiNx) を $3000\text{ }\text{\AA}$ 程度の膜厚で、半導体活性層 20 としての水素化アモルファスシリコン (a-Si:H) を $500\text{ }\text{\AA}$ 程度の膜厚で、トップ絶縁層 21 としての窒化シリ 40
コン (t-SiNx) を $1500\text{ }\text{\AA}$ 程度の膜厚で真空を破らずに連続して着膜する。そして、裏面露光を用いたフォトリソグラフィ及びエッチングにより t-SiNx をバターニングしてトップ絶縁層 21 を形成する (図 6 (b) 参照)。

【0035】ここで、 b-SiNx を着膜する条件は、基板温度を $300 \sim 400^\circ\text{C}$ 、 SiH_4 と NH_3 のガス圧力を $0.1 \sim 0.5\text{ Torr}$ 、 SiH_4 ガス流量を $10 \sim 50\text{ sccm}$ 、 NH_3 ガス流量を $100 \sim 300\text{ sccm}$ 、RF パワーを $50 \sim 200\text{ W}$ とする。 a-Si:H を着膜す 50

る条件は、基板温度を $200 \sim 300^\circ\text{C}$ 、 SiH_4 のガス圧力を $0.1 \sim 0.5\text{ Torr}$ 、 SiH_4 のガス流量を $100 \sim 300\text{ sccm}$ 、RF パワーを $50 \sim 200\text{ W}$ とする。 t-SiNx を着膜する条件は、基板温度を $200 \sim 300^\circ\text{C}$ 、 SiH_4 と NH_3 のガス圧力を $0.1 \sim 0.5\text{ Torr}$ 、 SiH_4 ガス流量を $10 \sim 50\text{ sccm}$ 、RF パワーを $50 \sim 200\text{ W}$ とする。

【0036】次に、オーミックコンタクト層 22 としての n+ a-Si:H を P-CVD 法により $1000\text{ }\text{\AA}$ 程度の膜厚で着膜し、その上に、TFT のソース・ドレイン電極及びフォトダイオードの金属電極 15 となる第 2 のクロム (Cr2) 層を DC マグネトロンスパッタ法により $1500\text{ }\text{\AA}$ 程度の膜厚で着膜し、更にその上に、フォトダイオードの光導電層 16 となる a-Si:H を P-CVD 法により $1300\text{ }\text{\AA}$ 程度の膜厚で着膜し、その上に透明電極 17 となる ITO を DC マグネトロンスパッタ法により $600\text{ }\text{\AA}$ 程度の膜厚で着膜する。この時、それぞれの着膜の前にアルカリ洗浄を行う。そして、フォトリソグラフィ及びエッチングにより ITO をバターニングし、同一のレジストパターンを使って a-Si:H をドライエッチングによりバターニングして、フォトダイオードの透明電極 17 と光導電層 16 を形成する (図 6 (c) 参照)。

【0037】ここで、第 2 のクロム層 (Cr2) は、 a-Si:H のドライエッチング時にストッパーとしての役割を果たし、バターニングされずに残る。また、このドライエッチング時に a-Si:H にはサイドエッチが大きく入るため、レジスト剥離前に再度 ITO のエッチングを行うものである。

【0038】上記 a-Si:H を着膜する条件は、基板温度を $170 \sim 250^\circ\text{C}$ 、 SiH_4 のガス圧力を $0.3 \sim 0.7\text{ Torr}$ 、 SiH_4 のガス流量を $150 \sim 300\text{ sccm}$ 、RF パワーを $100 \sim 200\text{ W}$ とする。上記 ITO を着膜する条件は、基板温度が室温で、Ar と O_2 のガス圧力が $1.5 \times 10^{-3}\text{ Torr}$ で、Ar ガス流量が $100 \sim 150\text{ sccm}$ で、 O_2 ガス流量が $1 \sim 2\text{ sccm}$ で、DC パワーが $200 \sim 400\text{ W}$ とする。

【0039】そして、第 2 のクロム層 (Cr2) をフォトリソグラフィ及びエッチングによりバターニングして、フォトダイオードの金属電極 15 と、TFT のソース電極 23、ドレイン電極 24 を形成し、続いて、同一のレジストパターンを用いて n+ a-Si:H をエッチングし、オーミックコンタクト層 22 を形成する。更に、 b-SiNx をフォトリソグラフィ及びエッチングによりバターニングして TFT のゲート絶縁層 19 を形成する (図 6 (d) 参照)。

【0040】次に、基板 1 全体を覆うようにポリイミドを $11500\text{ }\text{\AA}$ 程度の膜厚で塗布し、ブリベーク後、フォトリソグラフィ及びエッチングによ

リコンタクトホールを開口して、層間絶縁層25を形成する。この後、コンタクトホールに残ったポリイミドを完全に除去するためにプラズマに晒すDescumを行う。そして、アルミニウム(A1)をDCマグネトロンスパッタ法により15000オングストローム程度の厚さで着膜し、フォトリソグラフィ及びエッチングによりパターンニングして、データ線9、遮光層の配線を兼ねるバイアス線11等の各配線層を形成する(図6(e)参照)。

【0041】その後、イメージセンサ全体を覆うように10ポリイミドから成るバシベーション層を形成し、実装用プリント基板にガラス基板、駆動用IC等を実装し、ワイヤボンディング、組み立てを行い、イメージセンサが形成されるものである。

【0042】本実施例の2次元密着型イメージセンサによれば、受光素子2のバイアス線11を、薄膜トランジスタ6の遮光層の配線と共通にして、バイアス線11を薄膜トランジスタ6の半導体活性層20のチャネル領域20'の上部を覆うように形成しているのので、1画素中に占める受光素子2の受光部分の面積を大きく形成する20ことができ、解像度を低下させることなくイメージセンサの感度を向上させることができる効果がある。

【0043】また、本実施例の2次元密着型イメージセンサでは、バイアス線11の材料としてシート抵抗の小さいアルミニウム(A1)を用いているので、イメージセンサの消費電力が小さくできる効果がある。

【0044】更に、受光素子2の金属電極を画素毎の個別電極とし、上層部にバイアス線11を形成して、金属電極15と接続しているのので、薄膜トランジスタ6のゲート線10とバイアス線11との交差部においても、ゲート線10とバイアス線11との間に複数の絶縁層等が設けられた構造となっているので、交差部で形成される容量を小さくでき、従ってゲート線10を伝播するゲートパルスへの悪影響(パルス波形が崩れるという悪影響)を防ぎ、良好な薄膜トランジスタのスイッチング特性を実現することができる効果がある。

【0045】

【発明の効果】本発明によれば、薄膜トランジスタのチャネル領域を遮光する遮光層の配線と受光素子のバイアス線とを共通にした2次元密着型イメージセンサとして40いるので、バイアス線を薄膜トランジスタの上部に形成する構造となり、画素面積を拡大すること無く光電変換部の面積を大きくして、解像度を低下させずに感度を向

上させることができる効果があり、また、バイアス線と薄膜トランジスタのゲート線との垂直方向の距離を大きくできるため、バイアス線とゲート線との交差部において形成される容量が小さくなり、ゲートパルスへの影響を小さくして薄膜トランジスタのスイッチング特性を向上させることができる効果があり、更に、バイアス線をシート抵抗の低いアルミニウムで形成すれば、消費電力を低減することができる効果がある。

【図面の簡単な説明】

【図1】 本発明の一実施例に係る2次元密着型イメージセンサの1画素の平面説明図である。

【図2】 図1のA-A'部分の断面説明図である。

【図3】 本実施例の2次元密着型イメージセンサの等価回路図である。

【図4】 本実施例の2次元密着型イメージセンサの1画素の等価回路図である。

【図5】 本実施例の2次元密着型イメージセンサの薄膜トランジスタのID-VG特性図である。

【図6】 本実施例の2次元密着型イメージセンサの製造方法を示すプロセス断面説明図である。

【図7】 従来の1次元密着型イメージセンサの模式断面説明図である。

【図8】 2次元密着型イメージセンサの等価回路図である。

【図9】 従来の2次元密着型イメージセンサの1画素の平面説明図である。

【図10】 図9のB-B'部分の断面説明図である。

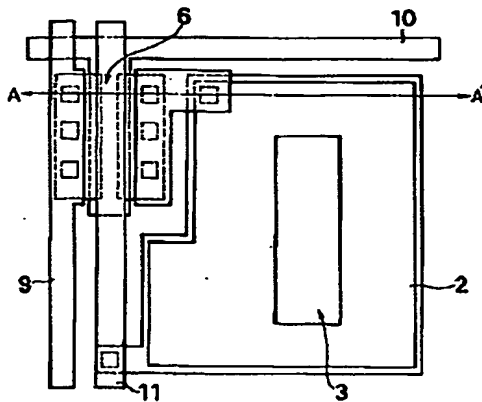
【図11】 別の従来の2次元密着型イメージセンサの平面説明図である。

【図12】 図11のC-C'部分の断面説明図である。

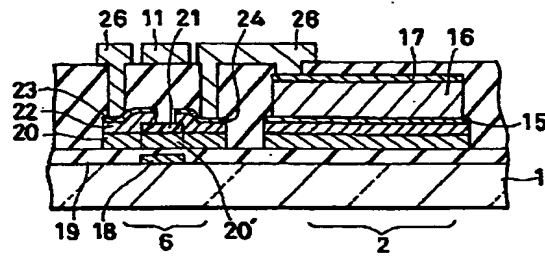
【符号の説明】

1…基板、2…受光素子、3…採光部、4…透明保護膜、5…原稿、6…薄膜トランジスタ、7…画素、9…データ線、10…ゲート線、11…バイアス線、12…遮光層、13…アナログマルチプレクサ、14…シフトレジスタ、15…金属電極、16…光導電層、17…透明電極、18…ゲート電極、19…ゲート絶縁層、20…半導体活性層、20'…チャネル領域、21…トップ絶縁層、22…オーミックコンタクト層、23…ソース電極、24…ドレイン電極、25…層間絶縁層、26…配線層

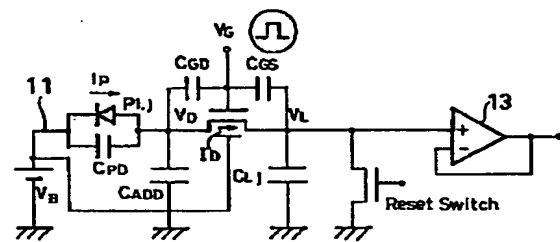
【図1】



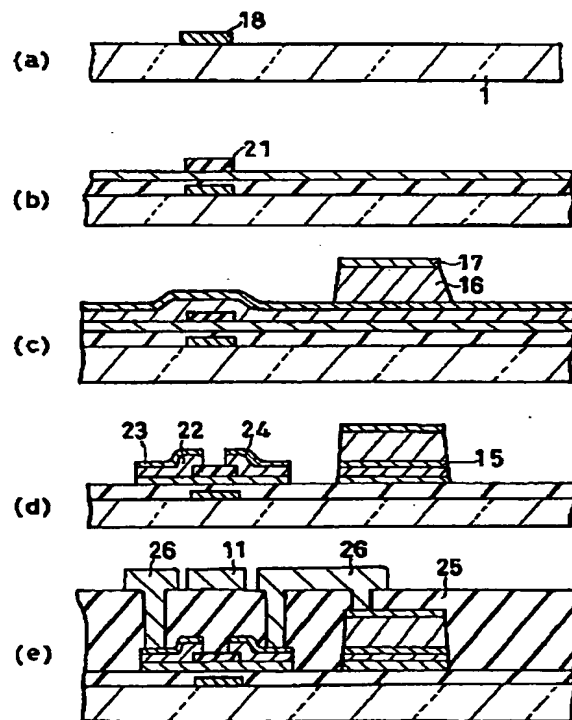
【図2】



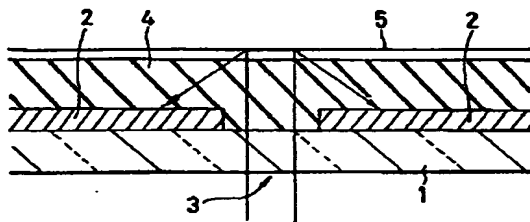
【図4】



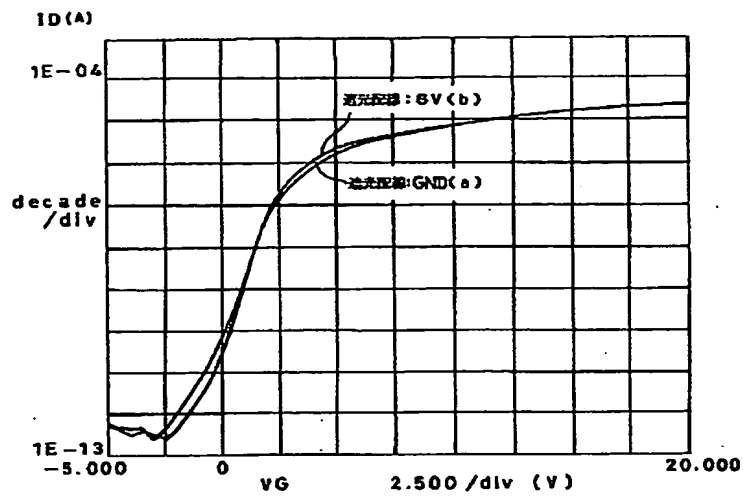
【図6】



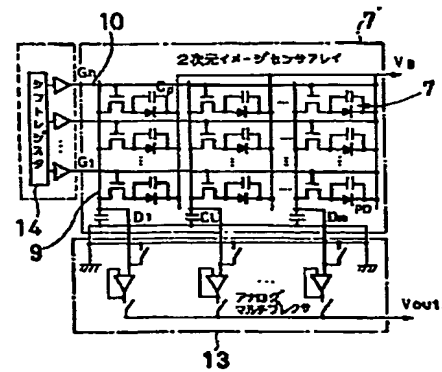
【図7】



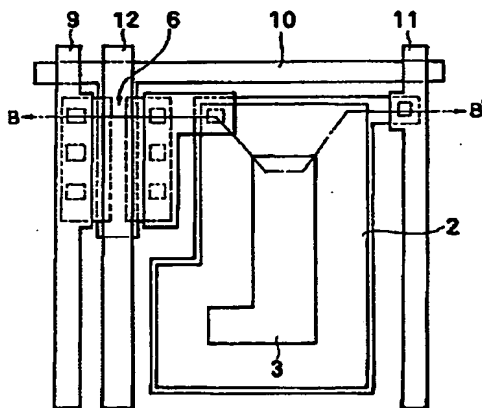
【図5】



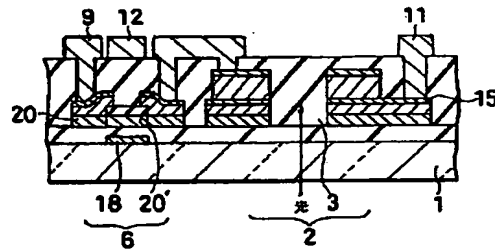
【図8】



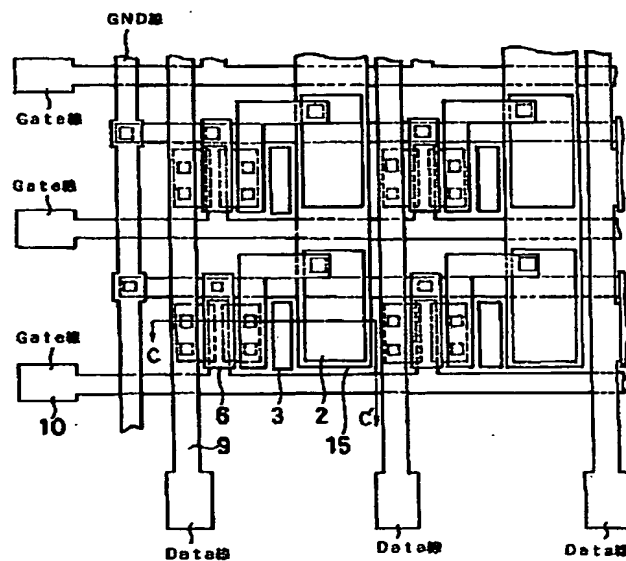
【図9】



【図10】



【図11】



【図12】

